

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-049057

(43)Date of publication of application : 08.04.1980

(51)Int.Cl.

H04L 11/00  
G06F 3/04

(21)Application number : 53-122824

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.10.1978

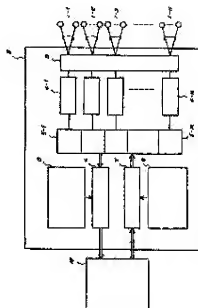
(72)Inventor : FUKUDA MASAZUMI

## (54) MULTI-POLLING SYSTEM

(57)Abstract:

PURPOSE: To improve processing performance of a system and also to shorten turn around time at a terminal by grouping several terminals and then by providing several processors which provide simultaneous polling control of each group.

CONSTITUTION: Terminals 1-1-1-N are divided into several groups and terminal controller 2 is equipped with several processors 4-1-4-n which provides simultaneous polling control of each group and several message buffers 5-1-5-n stored temporarily with response information from a central processor and informaton from a terminal. Information stored in each message buffer is sent out 6 and 8 to unit 10 at a time and response information is received 7 and 9 from unit 10 at a time. As a result, the overhead time of the monitoring of CPU10 is shortened to improve processing performance of this system, so that the turn around time from the request transmission of a terminal and its response reception can be shortened.



⑪ 公開特許公報 (A)

昭55—49057

51 Int. Cl.<sup>3</sup>  
H 04 L 11/00  
G 06 F 3/04

識別記号

序内整理番号  
6651—5K  
7218—5B

⑬ 公開 昭和55年(1980)4月8日

発明の数 1  
審査請求 未請求

(全 4 頁)

特殊マルチボーリング方式

川崎市中原区上小田1015番地  
富士通株式会社内

出願 昭53—122824

出願人 富士通株式会社

出願 昭53(1978)10月5日

川崎市中原区上小田1015番地

発明者 福田雅澄

代理人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

マルチボーリング方式

2. 特許請求の範囲

多数の端子と、端末を制御する端末制御装置と、中央処理装置とからなる情報処理システムにおいて、

前記多数の端末を複数の群に分け、各群毎に同時にボーリング制御を行なう複数のプロセッサと端末からの情報および中央処理装置からの応答情報を一時記憶する複数のメッセージバッファを有し、これらのメッセージバッファに蓄積された情報を一斉に中央処理装置へ送出し、応答情報を一斉に中央処理装置から受信することを特徴とするマルチボーリング方式。

3. 発明の詳細な説明

本発明は複数の端末群を有し、各端末群に対応しプロセッサと、メッセージバッファを有し、各端末群で同時にボーリングを行なうマルチボーリング方式に関する。

多数の端末と、端末を制御する端末制御装置と、

中央処理装置からなる情報処理システムにおいて、端末制御装置が多数の端末に対しボーリングによりデータを収集する方式では、ボーリングしたデータに対し1件毎の処理である。

このような1件毎の処理方式では1件当りの処理時間を $t$ とすると $n$ 回(例えば端末台数100台の場合は100回)のボーリングでは端末→端末制御装置→電子計算機→端末制御装置→端末というランザクシオンによる処理は $n \cdot t$ ( $n=100$ のときは100 $t$ )の処理時間が必要であり、これは端末台数が大きくなると非常に大きな処理時間が必要となり、電子計算機のモジュールのオーバーヘッドタイムおよび端末側が要求を出してから応答を受けるまでのターンアラウンドタイムが増大する。

本発明の目的は上記従来の問題を解決するもので、この目的は多数の端末と、端末を制御する端末制御装置と、中央処理装置とからなる情報処理システムにおいて、

前記多数の端末を複数の群に分け、各群毎に同時にボーリング制御を行なう複数のプロセッサと、

端末からの情報および中央処理装置からの応答情報を一時記憶する複数のメッセージバッファを有し、これらのメッセージバッファに蓄積された情報を一斉に中央処理装置へ送り出し、応答情報を一斉に中央処理装置から受信することにより達成される。

次に図面により本発明の詳細を説明する。

第1図は本発明の実施例による端末制御装置のブロック図、第2図は従来のポーリング方式および本発明の実施例によるマルチポーリング方式による動作タイムチャートを示す。図において

1—1〜1—Nは端末群、2は端末制御装置、3は端末接続制御回路、4—1〜4—nはプロセッサ、5—1〜5—nはメッセージバッファ、6は送信メッセージブロック回路、7は受信メッセージブロック回路、8は送信メッセージブロック制御回路、9は受信メッセージブロック制御回路、10は電子計算機(中央処理装置)を示す。

第1図において多数の端末は、端末群1—1〜1—Nに分けられており、各端末群に対応してプロ

— 3 —

の作成等)を行なう。

そして電子計算機10はこのメッセージブロックを端末制御装置2にレスポンスとして返送する。レスポンスは端末制御装置2の受信メッセージブロック回路7に格納される。

受信メッセージブロック制御回路9では電子計算機10から受け取ったメッセージブロックに対してチェックを行ない、メッセージブロックの内容の解析およびそれに応じた処理、メッセージブロックの分解、さらに端末への応答として各端末群への応答メッセージに編集して、メッセージバッファ5—1〜5—nに蓄積する。

各プロセッサ4—1〜4—nは、この応答メッセージの内容をチェックして端末へ返答すべき必要なデータを作成する。

そして各プロセッサは同時に各端末群に返答データを送出する。

以上説明した如く、従来の1件毎の処理に対し本発明のポーリング方式は多数件数の処理を行なう。従来の方式ではn個の端末に対する処理時間が

セッタイ1〜4—nが設けられている。端末接続制御回路3は各プロセッサと各端末群との接続を制御するものである。

各プロセッサは同時にNの端末群をポーリングし、ポーリングしたデータをチェックし識別データ、機能データ、チェックデータ等を付加してメッセージとし、メッセージバッファ5—1〜5—nに送出して蓄積する。

送信メッセージブロック制御回路8はメッセージバッファ5—1〜5—nのメッセージに対してメッセージのチェック、ヘッダーの付加、識別データ、機能データの付加、メッセージ内容の解析およびそれに応じた処理を行ない、メッセージブロックを送信メッセージブロック回路6に転送する。この送信メッセージブロック回路6のメッセージブロックは電子計算機10へ送出される。

電子計算機10では一度に上げられたメッセージブロックに対して、各端末毎のメッセージに分解して、それぞれのメッセージ内容に応じた処理(計算、データファイルの更新、応答メッセージ

— 4 —

n・t 必要であるが本発明の方式では処理時間 $T = t + 2\alpha$  ( $\alpha$  はマルチで端末をポーリングしてメッセージバッファに各端末群のデータを読み込む時間またはマルチで端末に回答データを返す時間)である。

一般に $T = t + 2\alpha \ll n \cdot t$  の関係があるので、本発明のマルチポーリング方式では処理時間が大巾に短縮される。

電子計算機のモジュラのオーバーヘッド<sup>④</sup>はほぼ $1/n$ に減少し、システムの処理能力が向上し、端末で要求を出してから応答を受けとるまでのターンアラウンドタイムが著しく改善される効果がある。

#### 4. 図面の簡単な説明

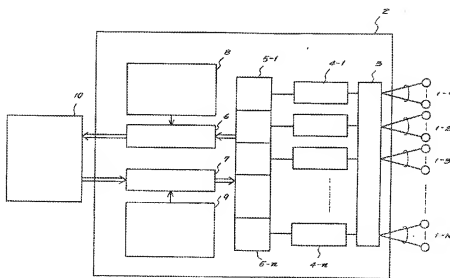
第1図は本発明の実施例による端末制御装置のブロック図、第2図は従来のポーリング方式および本発明の実施例によるマルチポーリング方式による動作タイムチャートを示す。

図において1—1〜1—Nは端末群、2は端末制御装置、3は端末接続制御回路、4—1〜4—nはプロセッサ、5—1〜5—nはメッセージバッ

7は送信メッセージブロック同称、7は受信メッセージブロック回路、8は送信メッセージブロック制御回路、9は受信メッセージブロック回路、10は電子計算機を示す。

代理人 非理士 松岡 宏 四郎

- 7 -



第 1 図

電子回路部

高圧用電源部

基板



従来の方式

電子回路部

高圧用電源部

Module-2: 1/2, 2/2

PROCESSOR #1

PROCESSOR #2

PROCESSOR #3

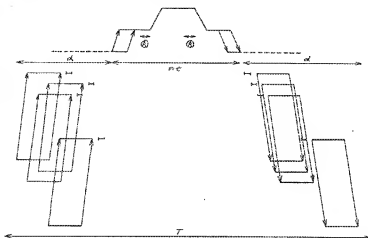
PROCESSOR #N

電源部 #1

電源部 #2

電源部 #3

電源部 #N



本発明の方式

第 2 図